

WPI  
30mar05 15:46:55 User268673 Session D1127.2  
Sub account: 112740-10223  
File 351:Derwent WPI 1963-2005/UD,UM &UP=200519  
(c) 2005 Thomson Derwent  
**\*File 351: For more current information, include File 331 in your search.**  
Enter HELP NEWS 331 for details.

Set	Items	Description				
?						
S	PN=DE 19844140					
S1	1	PN=DE 19844140				
?						
T	S1/5					
1/5/1						
DIALOG(R)File 351:Derwent WPI						
(c) 2005 Thomson Derwent. All rts. reserv.						
013241489 **Image available**						
WPI Acc No: 2000-413371/200036						
XRPX Acc No: N00-308714						
Coder/decoder for block interleaving and de-interleaving - uses address						
line modification dependent on read or write signal to modify number of						
input address lines						
Patent Assignee: SIEMENS AG (SIEI )						
Inventor: FALKENBERG A						
Number of Countries: 001 Number of Patents: 001						
Patent Family:						
Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 19844140	C1	20000706	DE 1044140	A	19980925	200036 B
Priority Applications (No Type Date): DE 1044140 A 19980925						
Patent Details:						
Patent No	Kind	Lan Pg	Main IPC	Filing Notes		
DE 19844140	C1	6	H03M-013/27			
Abstract (Basic): DE 19844140 C						
The coder/decoder uses a memory (1) and an address line modifying						
unit (2). Depending on a read or write signal for the memory, the address lines adjacent to the memory are modified so that a read or write of data into or from the memory results in a block interleaving						
or de-interleaving. The address line modifying unit has a multiplexer						
(3) with its first input, second input (5) and output (6) to connect						
the first or second input with the output according to the read or write signal.						

**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK**

A large number of the input address lines are connected with the second input directly and connected with the first input so that a rotational displacement to the lower value input address lines occurs.

USE - For battery operated end units, mobile radio applications.

ADVANTAGE - Simple block interleaving so low cost, minimum time delay, low energy demand.

Dwg.1/1

Title Terms: CODE; DECODE; BLOCK; INTERLEAVED; DE; INTERLEAVED; ADDRESS;

LINE; MODIFIED; DEPEND; READ; WRITING; SIGNAL; MODIFIED; NUMBER; INPUT;

ADDRESS; LINE

Derwent Class: U21; W01; W02

International Patent Class (Main): H03M-013/27

File Segment: EPI

?

100-1000

**THIS PAGE BLANK (use 10)**

100-1000



⑯ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ Patentschrift  
⑩ DE 198 44 140 C 1

⑮ Int. Cl.<sup>7</sup>:  
H 03 M 13/27

DE 198 44 140 C 1

- ⑯ Aktenzeichen: 198 44 140.1-35
- ⑯ Anmeldetag: 25. 9. 1998
- ⑯ Offenlegungstag: -
- ⑯ Veröffentlichungstag der Patenterteilung: 6. 7. 2000

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

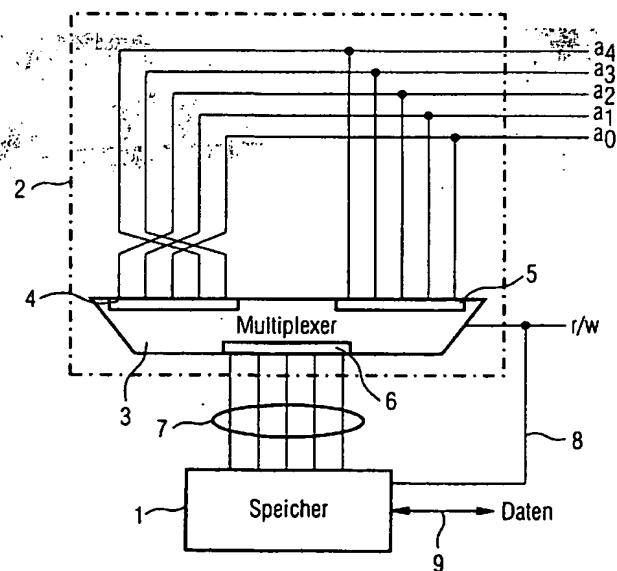
⑯ Patentinhaber:  
Siemens AG, 80333 München, DE

⑯ Erfinder:  
Falkenberg, Andreas, Dipl.-Inform., 58093 Hagen, DE

⑯ Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:  
 US 56 59 580 A  
 = EP 07 15 432 A2  
 WO 89 01 265 A1

⑯ Kodier-/Dekodievorrichtung zum Durchführen eines Block-Interleaving/Deinterleaving

⑯ Die Erfindung betrifft eine Kodier-/Dekodievorrichtung zum Durchführen eines Block-Interleaving/Deinterleaving, bei der ein Speicher (1) und eine Adreßleitungs-Modifikationsvorrichtung (2) zum Kodieren/Dekodieren verwendet werden. In Abhängigkeit von einem Schreib-/Lesesignal r/w für den Speicher (1) werden die am Speicher anliegenden Adreßleitungen derart modifiziert, daß ein Einschreiben und Auslesen von Daten in bzw. aus dem Speicher (1) ein gewünschtes Block-Interleaving/Deinterleaving ergibt.



DE 198 44 140 C 1

# DE 198 44 140 C 1

## Beschreibung

Die Erfindung bezieht sich auf eine Kodier- bzw. Dekodievorrichtung zum Durchführen eines Block-Interleaving bzw. eines Block-Deinterleaving.

5 Insbesondere bezieht sich die vorliegende Erfindung auf eine Kodier- bzw. Dekodievorrichtung wie sie für die digitale Mobilfunkübertragung verwendet wird, wobei zur Herabsetzung von Bitfehlerraten durch die Minimierung von Burstfehlern ein Block-Interleaving bzw. Deinterleaving verwendet wird.

Bei der digitalen Mobilfunkübertragung zwischen einer Basisstation und einer Mobilstation gibt es in der Regel mehrere mögliche Ausbreitungswege. Reflexion und Streuung von Wellen an Gebäuden, Bergen, Bäumen und anderen Hindernissen führen dazu, daß sich die Empfangsfeldstärke aus mehreren, im allgemeinen unterschiedlich starken und unterschiedlich verzögerten Komponenten zusammensetzt. Die einzelnen Wellen können sich entweder konstruktiv oder destruktiv überlagern, wodurch sich in einem räumlichen Empfangsbereich stark wechselnde Pegelverläufe ergeben. Durchfährt ein mobiler Empfänger einen derartigen Empfangsbereich, so führt dies zu ortsabhängig stark wechselnden Empfangspegeln, was als Fading bzw. als Fast Fading bezeichnet wird.

15 Diese Fading-Einbrüche erzeugen in einem mobilen Empfänger sogenannte Bündelfehler bzw. Burstfehler, wodurch sich eine bemerkbare Störung ergibt.

Zur Herabsetzung derartiger Burstfehler ist in vielen digitalen Mobilfunkstandards Interleaving vorgesehen. Unter Interleaving versteht man die Umordnung und zeitliche Spreizung von Symbolen auf eindeutige, deterministische Weise. Dadurch können Bündelfehler derart in einem Übertragungskanal verteilt werden, daß dieser annähernd "gedächtnislos" wird, wobei in Kombination mit Fehlererkennungsvorrichtungen Übertragungsfehler auf ein geeignetes Maß reduziert werden können.

Für das Interleaving gibt es eine Vielzahl von Möglichkeiten, wobei das diagonale Interleaving, daß Block-Interleaving und das Faltungs-Interleaving am bekanntesten sind.

20 Beim Block-Interleaving wird ein Datenstrom zeilenweise in eine  $x \times y$ -Matrix geschrieben und anschließend spaltenweise wieder ausgelesen.

Einschreiben der Daten:

1 5 3 4 7 9 6 8 2

30 in eine  $x \times y$ -Matrix ergibt den Block:

1 5 3  
4 7 9  
6 8 2.

35 Durch spaltenweises Auslesen dieses Blocks ergibt sich nunmehr ein kodierter Datenstrom:

1 4 6 5 7 8 3 9 2.

40 Bei Auftreten eines Burstfehlers, der beispielsweise die Daten 4, 7 und 9 beschädigt und somit einen spürbaren Blockfehler verursacht, wird nach dem Block-Interleaving der Fehler im Datenstrom gespreizt bzw. verteilt, wodurch sich bei geeigneter Fehlerkorrektur eine verbesserte Übertragungsqualität erzielen läßt.

Das Block-Interleaving bzw. die Umsortierung der Daten geschieht üblicherweise mit einer entsprechenden Softwareroutine, die eine spezielle Adreßberechnung durchführt, oder mit einer speziellen Hardware, die aus mehreren hintereinander angesteuerten Schieberegistern besteht.

Nachteilig ist hierbei jedoch der große Zeitbedarf und/oder Schaltungsaufwand für einen derartigen Block-Interleaver.

Aus der US 5,659,580 sind ein Datenspeicher, ein Zähler, ein Multiplexer und Mittel zur Vertauschung von Speicher-Adressen bekannt, wobei codierte Daten unter durch den Zähler erzeugte aufeinanderfolgenden zusammenhängende Speicher-Adressen gespeichert wird. Nachdem die codierten Daten vollständig gespeichert sind, verbindet der Multiplexer die Mittel zur Vertauschung von Adressen, der unzusammenhängende bzw. nicht aufeinanderfolgende Adressen erzeugt, mit dem Datenspeicher, so daß die codierten Daten in einer unzusammenhängenden Reihenfolge ausgelesen werden können.

Aus der WO 89/01265 A1 ist eine Anordnung bekannt, bei der Daten temporär in einen Speicher gespeichert werden und das Auslesen der Daten erfolgt anschließend, in einer unzusammenhängenden Reihenfolge, wobei eine Vielzahl von Zählern verwendet werden um Adressen zu generieren.

55 Der Erfindung liegt daher die Aufgabe zugrunde, eine Kodier-/Dekodievorrichtung zum Durchführen eines Block-Interleaving/Deinterleavings zu schaffen, die besonders kostengünstig herzustellen ist und ein schnelles Umsortieren der Daten ermöglicht.

Diese Aufgabe wird erfindungsgemäß mit den in Patentanspruch 1 angegebenen Merkmalen gelöst.

60 Weiterbildungen sind in den Unteransprüchen angegeben.

Insbesondere durch die Verwendung einer Adreßleitungs-Modifikationsvorrichtung, die in Abhängigkeit von einem Schreib-/Lesesignal eine Vielzahl von Eingangs-Adreßleitungen modifiziert, kann durch ein Einschreiben der Daten unter Verwendung der nichtmodifizierten Adreßleitungen und dem Auslesen der Daten unter Verwendung der modifizierten Adreßleitungen ein sehr schnelles Block-Interleaving kostengünstig realisiert werden.

65 Dabei besteht die Adreßleitungs-Modifikationsvorrichtung aus einer Schaltvorrichtung mit zwei Eingängen und einem Ausgang, der mit einem Adreßeingang eines herkömmlichen RAM-Speichers verbunden ist. Die Schaltvorrichtung wird hierbei vom Schreib-Lesesignal des Speichers derart angesteuert, daß er entweder den ersten oder den zweiten Eingang mit dem Ausgang des Multiplexers und dem damit verbundenen Speicher verbindet. Die Vielzahl von Adreßleitun-

# DE 198 44 140 C 1

gen werden hierbei entweder mit einem Eingang direkt verbunden oder mit dem anderen Eingang derart verbunden, daß sich eine Rotationsverschiebung von den höherwertigen zu den niedrigen Adreßleitungen ergibt. Dadurch wird beispielsweise beim Einlesen eine jeweilige Adresse direkt an den Speicher angelegt, während beim Auslesen der Daten aus dem Speicher durch die Rotation der Adreßleitungen dem Block-Interleaving entsprechend unsortierte Daten aus dem Speicher ausgelesen werden können. Aufgrund der Verwendung von herkömmlichen Hardwarekomponenten und dem sehr einfachen Aufbau ergibt sich eine außerordentliche Kostenersparnis und darüber hinaus eine Verringerung des Strombedarfs, der bei der Herstellung zukünftiger mobiler Endgeräte wesentlich ist.

Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigt:

Fig. 1 eine Blockdarstellung einer Kodier-/Dekodervorrichtung zum Durchführen eines Block-Interleaving/Deinterleaving.

Fig. 1 zeigt ein Ausführungsbeispiel der Kodier-/Dekodervorrichtung zum Durchführen eines Block-Interleaving/Deinterleaving. Das Bezugszeichen 1 bezeichnet einen Speicher, in den zu kodierende Daten bzw. ein zu kodierender Datenstrom eingeschrieben wird. Der Speicher 1 ist über einen Adreßbus 7, der aus einer Vielzahl von Adreßleitungen besteht, mit einer Adreßleitungs-Modifikationsvorrichtung 2 verbunden. Die Adreßleitungs-Modifikationsvorrichtung 2 besitzt ferner an ihrem Eingang eine Vielzahl von Eingangs-Adreßleitungen  $a_0$  bis  $a_4$ , die in Abhängigkeit von einem Schreib-Lesesignal r/w modifiziert werden und als jeweilige Adreßleitungen für den Speicher 1 dienen. Das Bezugszeichen 8 bezeichnet eine Schreib-/Leseleitung, über die das Schreib-/Lesesignal r/w der Adreßleitungs-Modifikationsvorrichtung 2 sowie dem Speicher 1 zugeführt wird.

Ein Block-Interleaving wird gemäß der vorliegenden Erfindung dadurch erreicht, daß bei einem Schreibvorgang von Daten über einen Datenbus 9 in den Speicher 1 die Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  direkt, d. h. nicht modifiziert, mit dem Adreßbus 7 in Verbindung stehen. Durch schrittweises Erhöhen der Adresse und gleichzeitiges Einschreiben der Daten in den Speicher 1 werden somit Daten in einer vorbestimmten Reihenfolge im Speicher 1 abgelegt. Beim nachfolgenden Lesevorgang werden jedoch die Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  derart modifiziert und mit dem Adreßbus 7 verbunden, daß bei Anlegen der gleichen Adreßreihenfolge an den Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  zeitlich gespreizte Daten aus dem Speicher 1 über den Datenbus 9 ausgelesen werden können, was einem Block-Interleaving entspricht.

Die Fig. 1 zeigt einen besonders vorteilhaften Aufbau für eine derartige Adreßleitungs-Modifikationsvorrichtung 2. Sie besteht im wesentlichen aus einem Umschalter bzw. Multiplexer 3, der einen ersten Eingang 4, einen zweiten Eingang 5 und einen Ausgang 6 aufweist. Der Multiplexer 3 besitzt als Steuerleitung eine Schreib-/Leseleitung 8, mit der auch der Speicher 1 angesteuert wird. In Abhängigkeit vom Schreib-/Lesesignal r/w wird der Ausgang 6 des Multiplexers 3 entweder mit dem ersten Eingang 4 oder mit dem zweiten Eingang 5 verbunden. An die Eingänge 4, 5 und den Ausgang 6 des Multiplexers 3 werden Adreßleitungen angeschaltet. Die Adreßleitungen des Ausgangs 6 sind hierbei direkt mit dem Adreßeingang des Speichers 1 verbunden. Demgegenüber sind die Adreßleitungen der Eingänge 4 und 5 des Multiplexers 3 auf besondere Weise mit den Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  verbunden.

Gemäß Fig. 1 sind die Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  direkt mit dem zweiten Eingang 5 des Multiplexers 3 verbunden, während die gleichen Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  derart modifiziert mit dem ersten Eingang 4 des Multiplexers 3 verbunden sind, daß die drei niedrigen Eingangs-Adreßleitungen  $a_0$ ,  $a_1$  und  $a_2$  um drei Stellen nach rechts verschoben bzw. rotiert werden, wodurch die höherwertigen Eingangs-Adreßleitungen  $a_3$  und  $a_4$  jeweils an die Stelle der früheren Adreßleitungen  $a_0$  und  $a_1$  verschoben werden. Die Modifikation der Eingangs-Adreßleitungen gemäß Fig. 1 entspricht somit einer Rotationsverschiebung der Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  von den höherwertigen zu den niedrigen Adreßleitungen bzw. einer Verschiebung um drei Stellen nach rechts. Eine derartige Schaltung ist insbesondere für Block-Interleaving außerordentlich platz- und energiesparend, was für mobile Endgeräte von großer Bedeutung ist. Darüber hinaus ist die Herstellung kostengünstig.

Nachfolgend wird die Funktionsweise der Kodier-Dekodervorrichtung zum Durchführen eines Block-Interleaving/Deinterleaving gemäß Fig. 1 im einzelnen beschrieben. Zunächst wird in einem Schreibvorgang ein Datenstrom über den Datenbus 9 in den Speicher 1 eingeschrieben. Hierbei wird über die Schreib-Leseleitung 8 im Multiplexer 3 der zweite Eingang 5 mit dem Ausgang 6 verbunden. Dies bedeutet, daß die Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  direkt, das heißt in nicht veränderter Reihenfolge mit dem Adreßeingang des Speichers 1 in Verbindung stehen. Durch schrittweises Erhöhen der an den Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  anliegenden Adressen können somit eine Vielzahl von Daten eingeschrieben werden. Bei einem nachfolgenden Lesevorgang wird über die Schreib-/Leseleitung 8 im Multiplexer 3 der erste Eingang 4 mit dem Ausgang 6 verbunden. Aufgrund der Tatsache, daß die am ersten Eingang 4 anliegenden Adreßleitungen eine veränderte bzw. modifizierte Reihenfolge der Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  aufweisen, liegen während des Lesevorgangs die Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  in veränderter (rotationsverschobener) Form am Speicher 1 an. Dadurch ergibt sich ein Block-Interleaving des ausgelesenen Datenstroms, obwohl die an den Eingangs-Adreßleitungen  $a_0$  bis  $a_4$  anliegende Adresse schrittweise um 1 erhöht wird.

Für den Fall, daß die Anzahl der Zeilen  $y$  und der Spalten  $x$  der Block-Interleaving-Matrix eine Zweierpotenz ergeben, kann ein herkömmlicher Schreib-Lesespicher mit wahlfreiem Zugriff (RAM) verwendet werden. Das Block-Interleaving für eine  $(x, y)$ -Matrix mit  $y = 2^m$  Zeilen und  $x = 2^n$  Spalten kann somit mit einem sehr geringen Hardwareaufwand bei minimalen Laufzeiten realisiert werden. Insbesondere entfällt dadurch eine komplexe und zeitaufwendige Adreßberechnung, wie sie beim herkömmlichen Block-Interleaving durchgeführt wird.

Das Dekodieren bzw. das Deinterleaving wird mit derselben Schaltung durchgeführt, wobei jedoch die modifizierten Adreßleitungen zum Schreiben der Daten genutzt werden, und die unmodifizierten zum Lesen. Genauer gesagt würde bei der Dekodervorrichtung zum Durchführen eines Block-Deinterleavings im Multiplexer 3 der erste Eingang 4 mit dem Ausgang 6 in einem Schreibvorgang verbunden werden, während der zweite Eingang 5 mit dem Ausgang 6 im Lesevorgang verbunden ist.

Das Ausführungsbeispiel gemäß Fig. 1 ist auf ein Block-Interleaving/Deinterleaving für eine Matrix mit  $y = 2^m = 8$  Zeilen und  $x = 2^n = 4$  Spalten ausgelegt. Dadurch ergeben sich  $n + m = 5$  Adreßleitungen, wobei ein Adreßleitungsfall

# DE 198 44 140 C 1

um  $m = 3$  Stellen nach rechts verschoben wird.  $m$  und  $n$  sind hierbei natürliche Zahlen aus der Wertemenge  $\{0, 1, 2, 3, \dots\}$ .

Es können jedoch auch weitere Block-Interleaving/Deinterleaving realisiert werden, wie nachfolgend anhand von zwei Beispielen beschrieben wird.

5 Gemäß einem ersten Beispiel soll der folgende Datenstrom in einen Interleaver geschoben werden, wobei der Einfachheit halber die Adressen mit den Daten übereinstimmen:

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15.

10 Die Matrix für das Block-Interleaving besteht aus  $x = 4$  Spalten und  $y = 4$  Zeilen:

0	1	2	3
4	5	6	7
8	9	10	11
12	13	14	15.

Nach Durchführung des Block-Interleaving ergibt sich der kodierte Datenstrom:

20 0 4 8 12 1 5 9 13 2 6 10 14 3 7 11 15.

Gemäß diesem Beispiel besitzt die Matrix  $x = 2^n = 4$  Spalten und  $y = 2^m = 4$  Zeilen. Dies bedeutet, daß  $n = m = 2$  ist. Daraus ergeben sich  $n + m = 4$  Adreßleitungen:

25  $a_3 \ a_2 \ a_1 \ a_0$ .

Ferner müssen gemäß der vorliegenden Erfindung die Adreßleitungen in einem Eingangspfad des Multiplexers 3 um  $m$  Stellen nach rechts rotiert bzw. verschoben werden. Bei einer Verschiebung von zwei Stellen der vier Adreßleitungen 30  $a_0$  bis  $a_3$  in Richtung zu den niederwertigen Adreßleitungen ergibt sich folgende Modifikation für die Adreßleitungen am ersten Eingang 4 des Multiplexers 3:

$a_1 \ a_0 \ a_3 \ a_2$ .

35 Vergleicht man die binäre Darstellung der beiden Folgen, so entspricht dies exakt dem Ergebnis des gewünschten Block-Interleaving, das heißt es werden bei schrittweisem Erhöhen der an den Eingangs-Adreßleitungen anliegenden Adresse die richtigen Adressen erzeugt, die in diesem Fall mit den entsprechenden Kodierungsdaten übereinstimmen.

0	=	0000	⇒	0000	=	0	
40	1	=	0001	⇒	0100	=	4
2	=	0010	⇒	1000	=	8	
3	=	0011	⇒	1100	=	12	
45	4	=	0100	⇒	0001	=	1
5	=	0101	⇒	0101	=	5	

50 . . .

Durch die einfache Struktur der benötigten Hardware ergibt sich gegenüber herkömmlichen Kodier-/Dekodervorrichtungen eine Kostenersparnis und ein verringelter Platzbedarf.

Nachfolgend sei ein weiteres Beispiel für ein Block-Interleaving beschrieben, bei dem die Matrix aus  $x = 8 = 2^3$  Spalten und  $y = 2 = 2^1$  Zeilen besteht. Demzufolge ist  $n = 3$  und  $m = 1$ .

55 Der Datenstrom:

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

besitzt demzufolge in der Matrix mit 8 Spalten und 2 Zeilen die Form:

60	0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15.	

Nach dem Block-Interleaving ergibt sich der Datenstrom:

65 0 8 1 9 2 10 3 11 4 12 5 13 6 14 7 15.

Die  $n + m = 4$  Adreßleitungen müssen demzufolge in einem Eingangspfad des Multiplexers um  $m = 1$  Stelle nach

# DE 198 44 140 C 1

rechts rotiert bzw. in Richtung zu den niedrigerwertigen Adressleitungen verschoben werden.  
Die Eingangs-Adressleitungen

a<sub>3</sub> a<sub>2</sub> a<sub>1</sub> a<sub>0</sub>

5

werden demnach derart modifiziert, daß sie an einem Eingang des Multiplexers die Reihenfolge

a<sub>0</sub> a<sub>3</sub> a<sub>2</sub> a<sub>1</sub>

aufweisen.

10

Vergleicht man wiederum die binäre Darstellung der beiden Folgen, so entspricht dies exakt dem Ergebnis des gewünschten Block-Interleaving:

$$0 = 0000 \Leftrightarrow 0000 = 0$$

15

$$1 = 0001 \Leftrightarrow 1000 = 8$$

$$2 = 0010 \Leftrightarrow 0001 = 1$$

$$3 = 0011 \Leftrightarrow 1001 = 9$$

20

$$4 = 0100 \Leftrightarrow 0010 = 2$$

$$5 = 0101 \Leftrightarrow 1010 = 10$$

25

$$6 = 0110 \Leftrightarrow 0011 = 3$$

$$7 = 0111 \Leftrightarrow 1011 = 11$$

...

Mit der vorliegenden Erfindung kann demzufolge ein Block-Interleaving auf besonders einfache Weise realisiert werden, wodurch sich insbesondere die Herstellungskosten verringern. Durch die hardwaremäßige Realisierung erhält man ferner minimale Laufzeiten, was insbesondere bei Mobilfunkanwendungen von Bedeutung ist. Ferner hat die Schaltung zur Realisierung des vorstehend beschriebenen Block-Interleaving/Deinterleaving einen außerordentlich geringen Energiebedarf, was für batteriebetriebene mobile Endgeräte ein wesentlicher Vorteil ist.

30

Die vorliegende Erfindung wurde insbesondere für die Verwendung in Mobilfunkgeräten in GSM-/UMTS-Standards beschrieben. Sie ist jedoch nicht darauf beschränkt und kann für alle Kodier-/Dekodiervorrichtungen verwendet werden, in denen ein schnelles und kostengünstiges Block-Interleaving/Deinterleaving gefordert ist.

35

## Patentansprüche

1. Kodier-/Dekodiervorrichtung zum Durchführen eines Block-Interleaving/Deinterleaving mit einer adressierbaren Speichervorrichtung (1) zum Speichern von Daten, einer Vielzahl von Eingangs-Adressleitungen (a<sub>0</sub>...a<sub>4</sub>) zum Adressieren der Speichervorrichtung (1), und einer Adressleitungs-Modifikationsvorrichtung (2), die in Abhängigkeit von einem Schreib-/Lesesignal (r/w) die Vielzahl von Eingangs-Adressleitungen (a<sub>0</sub>...a<sub>4</sub>) modifiziert, dadurch gekennzeichnet, daß die Adressleitungs-Modifikationsvorrichtung (2) eine Schaltvorrichtung (3) mit einem ersten Eingang (4), einem zweiten Eingang (5) und einem Ausgang (6) zum Verbinden des jeweiligen ersten (4) oder zweiten Eingangs (5) mit dem Ausgang (6) in Abhängigkeit vom Schreib-/Lesesignal (r/w) aufweist, wobei die Vielzahl von Eingangs-Adressleitungen (a<sub>0</sub>...a<sub>4</sub>) mit dem zweiten Eingang (5) direkt und mit dem ersten Eingang (4) derart verbunden sind, daß eine Rotationsverschiebung von den höherwertigen zu den niedrigerwertigen Eingangs-Adressleitungen vorliegt.

40

2. Vorrichtung nach Patentanspruch 1, dadurch gekennzeichnet, daß das Block-Interleaving/Deinterleaving für eine Matrix von y = 2<sup>m</sup> Zeilen und x = 2<sup>n</sup> Spalten durchgeführt wird, wobei die Vielzahl von Eingangs-Adressleitungen (a<sub>0</sub>...a<sub>4</sub>) n + m Adressleitungen aufweisen und am ersten Eingang (4) um m Stellen verschoben sind, wobei n und m natürliche Zahlen sind.

45

3. Vorrichtung nach einem der Patentansprüche 1 bis 2, dadurch gekennzeichnet, daß die Speichervorrichtung (1) ein Schreib-/Lesespeicher mit wahlfreiem Zugriff ist.

50

4. Vorrichtung nach einem der Patentansprüche 1 bis 3, dadurch gekennzeichnet, daß die Schaltvorrichtung (3) ein Multiplexer ist.

55

Hierzu 1 Seite(n) Zeichnungen

60

65

